



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425676.0

Der Präsident des Europäischen Patentamts:
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 02425676.0
Demande no:

Anmeldetag:
Date of filing: 06.11.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G11C11/00

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR

THIS PAGE BLANK (USPTO)

METODO E DISPOSITIVO DI TEMPORIZZAZIONE DELLA LETTURA
ASINCRONA DI UN DISPOSITIVO DI MEMORIA

La presente invenzione è relativa ad un metodo e ad
5 un dispositivo di temporizzazione della lettura
asincrona di un dispositivo di memoria.

Come è noto, la lettura asincrona ("random
reading") dei dati memorizzati in un dispositivo di
memoria prevede l'esecuzione di una successione di
10 operazioni, ciascuna delle quali ha inizio nell'istante
in cui termina l'operazione precedente.

Le operazioni che compongono la lettura hanno una
durata che varia in funzione della temperatura di
funzionamento e della tensione di alimentazione del
15 dispositivo di memoria, ed in particolare la durata di
ciascuna operazione decresce con l'aumentare della
tensione di alimentazione e con il decrescere della
temperatura di funzionamento del dispositivo di memoria.

Il metodo più diffuso per la lettura dei dati
20 memorizzato in un dispositivo di memoria prevede
essenzialmente il confronto di una grandezza correlata
alla corrente fluente nella cella di memoria in cui è
memorizzato il dato da leggere con una analoga grandezza
correlata alla corrente fluente in una cella di memoria
25 di riferimento in cui è memorizzato un dato noto.

In particolare, per effettuare la lettura di una cella di memoria si fornisce al terminale di porta della cella di memoria stessa una tensione di lettura di valore compreso fra la tensione di soglia di una cella
5 di memoria cancellata e quella di una cella di memoria scritta, in modo tale che se la cella di memoria è scritta, la tensione di lettura è minore della sua tensione di soglia e non scorre quindi corrente nella cella di memoria stessa, mentre se la cella di memoria è
10 cancellata, la tensione di lettura è maggiore della sua tensione di soglia e scorre quindi corrente nella cella stessa.

La lettura di una cella di memoria viene effettuata, come sopra detto, mediante un circuito di
15 lettura del tipo ad esempio descritto nella domanda di brevetto europeo EP-A-0814480 depositata il 18.06.1996 a nome della stessa richiedente, il cui schema circuitale è per comodità riportato in figura 1.

Secondo quanto illustrato in figura 1, il circuito
20 di lettura, indicato nel suo insieme con 1, comprende essenzialmente un ramo di matrice 2 collegato, attraverso una linea di bit di matrice 3, ad una cella di memoria di matrice 4 della quale si vuole leggere il contenuto; un ramo di riferimento 5 collegato,
25 attraverso una linea di bit di riferimento 6, ad una

cella di memoria di riferimento 7 della quale è noto il contenuto; uno stadio convertitore corrente/tensione 8 essenzialmente formato da uno specchio di corrente collegato ai rami di matrice e di riferimento 2, 5 per convertire le correnti fluenti nella cella di memoria di matrice 4 e nella cella di memoria di riferimento 7 in rispettivi potenziali elettrici; ed uno stadio comparatore 9 essenzialmente formato da un amplificatore differenziale atto a confrontare fra loro tali potenziali elettrici per fornire in uscita un segnale di uscita OUT di tipo logico indicativo dell'informazione binaria "0" o "1" memorizzata nella cella di memoria di matrice 4.

La lettura di un dato dal dispositivo di memoria tipicamente comporta la lettura di un numero molto elevato di celle di memoria contemporaneamente e quindi all'atto della lettura del dato si ha normalmente un elevato assorbimento di corrente dall'alimentazione che genera brusche e repentine cadute della tensione di alimentazione che costituiscono di fatto un rumore sovrapposto alla tensione dell'alimentazione nominale.

Tali brusche variazioni della tensione di alimentazione, note comunemente col nome di ripple, influenzano negativamente il corretto funzionamento dell'amplificatore differenziale 10 dello stadio

comparatore 9 in quanto causano instabilità del segnale di uscita OUT da questo generato e conseguentemente indeterminatezza ed inattendibilità dell'informazione binaria letta nella cella di memoria di matrice 4.

5 La reiezione al rumore di alimentazione del circuito di lettura, ossia la sua insensibilità al rumore di alimentazione, peggiora all'aumentare della tensione di alimentazione ma soprattutto al diminuire del tempo di lettura, per cui un miglioramento della
10 reiezione al rumore di alimentazione potrebbe essere ottenuto solo a discapito di un significativo aumento del tempo durante il quale viene effettuato il "sensing" del dato memorizzato da parte dell'amplificatore differenziale 10 dello stadio comparatore 9, e
15 conseguentemente a discapito di un significativo aumento del tempo di accesso.

20 Per tale motivo, quindi, nei dispositivi di memoria in cui ciascuna delle operazioni che compongono la lettura ha inizio nell'istante in cui termina l'operazione precedente non risulta possibile ridurre la reiezione al rumore di alimentazione del circuito di lettura in maniera significativa.

25 Oltre a questo inconveniente, i dispositivi di memoria in cui ciascuna delle operazioni che compongono la lettura ha inizio nell'istante in cui termina

l'operazione precedente soffrono di un ulteriore
inconveniente legato al tempo di accesso ai dati, il
quale rappresenta uno dei parametri più importanti nella
valutazione della competitività di un dispositivo di
5 memoria.

Come è noto, infatti, il tempo di accesso ai dati
di un dispositivo di memoria può essere definito come
l'intervallo di tempo intercorrente, nelle peggiori
condizioni di funzionamento del dispositivo di memoria,
10 fra l'istante di tempo in cui avviene una variazione
degli indirizzi sugli ingressi del dispositivo di
memoria dovuta ad una richiesta di lettura di un nuovo
dato e l'istante di tempo in cui il dato richiesto è
presente stabilmente sulle uscite del dispositivo di
15 memoria stesso e può quindi essere letto.

A titolo di esempio, nella figura 2 sono
schematicamente illustrate le tre parti di cui il tempo
di accesso ai dati può tipicamente essere considerato
composto. In particolare, il tempo di accesso è composto
20 da una prima parte, indicata con la lettera A, la cui
durata è pari al tempo intercorrente fra l'istante di
tempo in cui avviene la variazione degli indirizzi sugli
ingressi del dispositivo di memoria dovuta alla
richiesta della lettura di un nuovo dato e l'istante di
25 tempo in cui hanno effettivamente inizio le operazioni

di lettura, una seconda parte, indicata con la lettera B, la cui durata è pari al tempo necessario al circuito di lettura per effettuare la lettura vera e propria del dato dalla cella di memoria, ossia per effettuare il
5 cosiddetto "sensing" del dato, ed una terza parte, indicata con la lettera C, la cui durata è pari al tempo intercorrente fra l'istante di tempo in cui il circuito di lettura fornisce il dato letto e l'istante di tempo in cui il dato letto è stabilmente disponibile sulle
10 uscite del dispositivo di memoria e può quindi essere letto.

Siccome il tempo di accesso ai dati è definito nelle peggiori condizioni di funzionamento del dispositivo di memoria in termini di temperatura di
15 funzionamento e di tensione di alimentazione, quando il dispositivo di memoria si trova a funzionare in condizioni operative più favorevoli il dato richiesto viene fornito sulle uscite del dispositivo di memoria in un tempo minore del tempo di accesso da quando è
20 avvenuta la variazione degli indirizzi.

In molte applicazioni, però, tale anticipo risulta spesso vanificato dal fatto che l'utilizzatore finale del dispositivo di memoria effettua la lettura dei dati solo dopo che è trascorso un tempo pari al tempo di
25 accesso da quando è avvenuta variazione degli indirizzi

sugli ingressi del dispositivo di memoria.

Scopo della presente invenzione è quello di fornire un metodo ed un dispositivo di temporizzazione della lettura asincrona di un dispositivo di memoria che
5 permettano un sensibile miglioramento della reiezione al rumore di alimentazione rispetto ai dispositivi di memoria noti senza però determinare un peggioramento del tempo di accesso ai dati.

Secondo la presente invenzione viene fornito un
10 metodo di temporizzazione della lettura asincrona di un dispositivo di memoria, come definito nella rivendicazione 1.

Secondo la presente invenzione viene inoltre realizzato un dispositivo di temporizzazione della
15 lettura asincrona di un dispositivo di memoria, come definito nella rivendicazione 6.

La presente invenzione verrà ora descritta con riferimento ai disegni annessi, che ne illustrano un esempio di attuazione non limitativo, in cui:

20 - la figura 1 mostra un circuito di lettura di un dispositivo di memoria secondo l'arte nota;

- la figura 2 illustra schematicamente una sequenza temporale delle parti componenti il tempo di accesso ai dati di un dispositivo di memoria;

25 - la figura 3 illustra uno schema a blocchi di un

dispositivo di temporizzazione della lettura di un
dispositivo di memoria, realizzato secondo i dettami
della presenta invenzione;

- la figura 4 mostra lo schema circuitale di alcuni
5 componenti del dispositivo di temporizzazione illustrato
nella figura 3; e

- la figura 5 mostra l'andamento temporale di
alcuni segnali impulsivi generati dal dispositivo di
temporizzazione illustrato in figura 3.

10 La presente invenzione trae spunto proprio dal
fatto che la reiezione al rumore di alimentazione del
circuito di lettura di un dispositivo di memoria può
essere sensibilmente migliorato aumentando il tempo
dedicato al "sensing" del dato memorizzato e dal fatto
15 che quando il dispositivo di memoria si trova a
funzionare in condizioni operative più favorevoli
rispetto a quelle per le quali viene definito il tempo
di accesso ai dati, il dato richiesto viene fornito
sulle uscite del dispositivo di memoria prima che sia
20 trascorso un tempo pari al tempo di accesso ai dati da
quando è avvenuta la variazione degli indirizzi.

In particolare, la presente invenzione si basa sul
principio di migliorare la reiezione al rumore di
alimentazione del circuito di lettura utilizzando
25 proprio il tempo "in avanzo" che si ha a disposizione

quando il dispositivo di memoria si trova a funzionare in condizioni operative più favorevoli rispetto a quelle per le quali viene definito il tempo di accesso ai dati, ossia il tempo intercorrente fra l'istante di tempo in cui il dato richiesto viene fornito sulle uscite del
5 dispositivo di memoria e l'istante di tempo in cui termina il tempo di accesso ai dati, per aumentare il tempo dedicato al "sensing" del dato memorizzato.

Questo principio viene implementato distribuendo
10 l'intero tempo di accesso ai dati fra le varie operazioni che compongono la lettura in modo tale che ciascuna operazione abbia una durata temporale predeterminata fissa tale da garantire il completamento dell'operazione stessa nelle peggiori condizioni di
15 funzionamento del dispositivo di memoria, e facendo poi durare ciascuna operazione per un tempo pari alla durata temporale predeterminata fissa ad essa assegnata in qualsiasi condizione di funzionamento del dispositivo di memoria, ossia indipendentemente dalla temperatura di
20 funzionamento e dalla tensione di alimentazione del dispositivo di memoria stesso. In altre parole, ciascuna operazione viene mantenuta operativa per un tempo prefissato in qualsiasi condizione di funzionamento del dispositivo di memoria, ossia indipendentemente dalla
25 temperatura di funzionamento e dalla tensione di

alimentazione del dispositivo di memoria stesso.

Pertanto, quando il dispositivo di memoria si trova a funzionare in condizioni operative più favorevoli rispetto a quelle per le quali viene definito il tempo di accesso ai dati, anche se ciascuna operazione necessita per il proprio completamento di un tempo inferiore a quello ad essa assegnato a priori, tale operazione non viene considerata terminata, e quindi la successiva operazione non viene fatta iniziare, fintantoché non è trascorso tutto il tempo assegnato a tale operazione.

In altri termini, quando il dispositivo di memoria si trova a funzionare in condizioni operative più favorevoli rispetto a quelle per le quali viene definito il tempo di accesso ai dati, ciascuna delle operazioni che compongono la lettura ha una durata temporale maggiore di quella che ha nei dispositivi di memoria noti in cui ciascuna delle operazioni che compongono la lettura ha inizio nell'istante in cui termina l'operazione precedente.

Facendo durare di più ciascuna delle operazioni che compongono la lettura si riesce in questo modo ad ottenere un sensibile miglioramento della reiezione al rumore di alimentazione del circuito di lettura, e ciò lo si ottiene a parità di tempo di accesso ai dati in

quanto la somma delle durate temporali predeterminate
fisse assegnate alle operazioni che compongono la
lettura risulta pari al tempo di accesso ai dati del
dispositivo di memoria indipendentemente dalle
5 condizioni di funzionamento di quest'ultimo.

Il metodo di temporizzazione secondo la presente
invenzione può essere implementato da un dispositivo di
temporizzazione del tipo rappresentato schematicamente
nella figura 3, nella quale sono mostrate solo le parti
10 utili alla comprensione della presente invenzione.

Secondo quanto mostrato nella figura 3, il
dispositivo di temporizzazione, indicato nel suo insieme
con 20, comprende un blocco generatore di tensione 21 ed
una pluralità di blocchi temporizzatori 22, uno per
15 ciascuna delle operazioni che compongono la lettura,
ciascuno dei quali è atto a generare un segnale di
temporizzazione $PS(i)$ (con i compreso fra 1 ed N ed N
pari al numero di operazioni che compongono la lettura)
tale da far durare la relativa operazione, in qualsiasi
20 condizione di funzionamento del dispositivo di memoria,
per un tempo predeterminato fisso, tale da garantire il
completamento dell'operazione stessa nella peggiore
condizione di funzionamento del dispositivo di memoria.

In particolare, il segnale di temporizzazione $PS(i)$
25 fornito da ciascun blocco temporizzatore 22 ha la

funzione di mantenere operativa la relativa operazione che compone la lettura del dispositivo di memoria, per una durata fissa, indicata in seguito con $T_F(i)$, di valore pari al tempo predeterminato fisso.

5 Il blocco generatore di tensione 21 presenta un primo ingresso 21b ricevente una tensione di riferimento V_{GATE} costante ed indipendente dalle variazioni della temperatura di funzionamento e della tensione di alimentazione e generata da un generatore di tensione
10 (non illustrato) preferibilmente, ma non necessariamente, di tipo band-gap; un secondo ingresso 21c ricevente un segnale di lettura READ; ed una uscita 21a sulla quale fornisce una tensione V_{MIR} costante ed indipendente dalle variazioni della temperatura di
15 funzionamento e della tensione di alimentazione.

Ciascun blocco temporizzatore 22 comprende, invece, una pluralità di ingressi, nella fattispecie sette ed indicati con 22b-22h, ed una uscita 22a fornente un segnale di temporizzazione $PS(i)$ per il comando di una
20 rispettiva operazione che compone la lettura, il quale è un segnale ad impulso avente una larghezza temporale $T_{ON}(i)$ fissa e costante (indicata in figura 5) ed indipendente dalla condizione di funzionamento del dispositivo di memoria, ossia indipendente dalla
25 temperatura di funzionamento e dalla tensione di

alimentazione del dispositivo di memoria. In particolare, come sarà spiegato più in dettaglio in seguito, il fronte di commutazione in discesa di ciascun segnale di temporizzazione $PS(i)$ comanda il termine di
5 una rispettiva operazione e l'inizio dell'operazione successiva.

In particolare, ciascun blocco temporizzatore 22 presenta un primo ingresso 22b collegato all'uscita 21a del generatore di tensione 21, dal quale riceve la
10 tensione V_{MIR} ; un secondo ingresso 22c posto alla tensione di riferimento V_{GATE} ; un terzo ed un quarto ingresso 22d, 22e riceventi rispettivi segnali di regolazione temporale $VCONF(0)$, $VCONF(1)$ per il controllo della larghezza temporale $T_{ON}(i)$ del segnale
15 di temporizzazione $PS(i)$ e quindi della durata temporale $T_F(i)$ della relativa operazione di lettura; un quinto ingresso 22f ricevente un segnale che varia da blocco a blocco a seconda dell'operazione a cui il blocco di temporizzazione è associato; un sesto ingresso 22g
20 ricevente un segnale di disattivazione RESET; ed un settimo ingresso 22h ricevente un segnale che varia da blocco a blocco a seconda dell'operazione a cui il blocco di temporizzazione è associato.

In particolare, il blocco temporizzatore 22 che
25 genera il segnale di temporizzazione $PS(i)$ per la prima

delle operazioni che compongono la lettura riceve sul quinto e sul settimo ingresso 22f, 22h un segnale di abilitazione SET atto ad abilitare la lettura del dispositivo di memoria e, rispettivamente, un segnale di comando scarica DISC, mentre ciascuno dei blocchi temporizzatori 22 successivi a quello che genera il segnale di temporizzazione PS(0) per la prima delle operazioni che compongono la lettura riceve sia sul quinto che sul settimo ingresso 22f, 22h il segnale di temporizzazione PS(i) generato dal blocco temporizzatore 22 che genera il segnale di temporizzazione PS(i) per l'operazione temporalmente precedente.

Le strutture circuitali del blocco generatore di tensione 21 e di uno dei blocchi temporizzatori 22 sono mostrate più in dettaglio nella figura 4.

Secondo quanto mostrato in tale figura, il blocco generatore di tensione 21 che, come precedentemente detto, ha la funzione di generare una tensione V_{MR} costante ed indipendente dalle variazioni di temperatura di funzionamento e della tensione di alimentazione del dispositivo di memoria, comprende una linea di alimentazione 24 posta alla tensione di alimentazione V_{CC} ; una linea di massa 26 posta alla tensione di massa V_{GND} ; uno stadio generatore di corrente costante 28; uno stadio di disaccoppiamento 30 ed uno stadio convertitore

corrente/tensione 34 collegati in serie fra la linea di alimentazione 24 e la linea di massa 26.

In particolare, lo stadio convertitore corrente/tensione 34 è costituito da un transistor PMOS di tipo naturale in configurazione a transdiodo, ed avente terminale di sorgente collegato alla linea di alimentazione 24 e terminali di porta e pozzo entrambi collegati all'uscita 21a, sulla quale viene fornita la tensione V_{MIR} .

10 Lo stadio di disaccoppiamento 30 è costituito da un transistor NMOS avente terminale di porta collegato al primo ingresso 21b posto alla tensione di riferimento V_{GATE} costante, terminale di pozzo collegato al terminale di pozzo del transistor PMOS 34 e terminale di sorgente
15 definente un nodo intermedio 32.

In particolare, il transistor NMOS 30 è dimensionato in modo tale da presentare una lunghezza $L1$ ed una larghezza $W1$ prefissate (tali da determinare il drenaggio della corrente I_{MIR}) ed è in configurazione
20 cascode, in modo tale da garantire una tensione costante tra i propri terminali di porta e di sorgente, indipendentemente dal potenziale presente sul proprio terminale di pozzo. In questo modo, infatti, grazie alla costanza della tensione di riferimento V_{GATE} sul
25 terminale di porta del transistor NMOS 30, il

potenziale presente sul terminale di sorgente rimane
fisso, garantendo una tensione V_s costante sul nodo
intermedio 32, indipendente dalle variazioni della
tensione di alimentazione V_{cc} . In altre parole, la
5 funzione del transistor NMOS 30 cascode è quella di
"disaccoppiare" il nodo intermedio 32 dalla linea di
alimentazione 24, garantendo quindi la costanza della
tensione V_s .

Lo stadio generatore di corrente costante 28
10 comprende un transistor NMOS 37 ed un resistore 38
collegati in serie fra il nodo intermedio 32 e la linea
di massa 26. In particolare, il transistor NMOS 37
presenta terminale di pozzo collegato alla linea di
massa 26, terminale di porta collegato al secondo
15 ingresso 21c sul quale è presente il segnale di lettura
READ, e terminale di pozzo collegato ad un primo
terminale del resistore 38, il quale presenta il secondo
terminale collegato al nodo intermedio 32.

In particolare, il resistore 38 è realizzato in
20 tecnologia n-well che, come è noto, permette di
compensare le variazioni della corrente I_{MIR} prodotte
dalla variazione della tensione di soglia V_{TH} del
transistor NMOS 32 dovuta alle variazioni della
temperatura. Nella fattispecie, grazie alla tecnologia
25 n-well, al variare della temperatura, la resistenza del

resistore 38 cresce o decresce in modo tale da opporsi all'aumento o alla diminuzione della corrente I_{MIR} causate da una corrispondente variazione della tensione di soglia V_{TH} del transistor NMOS 30 dovuta alle
5 variazioni di temperatura.

I blocchi temporizzatori 22 presentano identiche configurazioni circuitali e sono tutti collegati al blocco generatore di tensione 21 in modo tale da definire, con quest'ultimo, N specchi di corrente. Nella
10 fattispecie la corrente I_{MIR} fluente attraverso lo stadio generatore di corrente costante 28 del blocco generatore di tensione 21 viene specchiata e moltiplicata per un fattore K in ciascuno degli N blocchi temporizzatori 22.

Da quanto sopra descritto è opportuno precisare che
15 attraverso la suddetta configurazione a specchio, la corrente fluente attraverso gli N blocchi temporizzatori 22 rimane costante, in qualsiasi condizione di funzionamento del dispositivo di memoria, ossia anche al variare della temperatura o della tensione di
20 alimentazione V_{CC} .

Con riferimento all'esempio riportato in figura 4, ciascun blocco temporizzatore 22 comprende una linea di alimentazione 40 posta alla tensione di alimentazione V_{CC} ; una linea di massa 42 posta alla tensione di massa
25 V_{GND} ; uno stadio di regolazione durata 44 ed uno stadio

generatore di impulsi 46 collegati in serie fra la linea di alimentazione 40 e la linea di massa 42.

Lo stadio di regolazione durata 44 ha la funzione di fissare la larghezza temporale $T_{ON}(i)$ del segnale impulsivo $PS(i)$ generato dal relativo blocco temporizzatore 22 ad un valore pari alla durata temporale $T_F(i)$ fissa assegnata alla rispettiva operazione di lettura.

Lo stadio di regolazione durata 44 comprende una pluralità di condensatori 48 collegati in parallelo fra loro fra la linea di massa 42 e lo stadio generatore di impulsi 46; ed una pluralità di transistori di selezione NMOS 50, ciascuno dei quali è collegato in serie ad un rispettivo condensatore 48 per collegare/scollegare selettivamente tale condensatore dal resto dello stadio di regolazione durata 44 in modo tale da far aumentare/diminuire la capacità C_{LOAD} di carico complessiva dello stadio stesso.

Nell'esempio illustrato nella figura 4 è mostrato uno stadio di regolazione durata 44 comprendente una coppia di transistori NMOS 50 ed una coppia di condensatori 48, collegati ciascuno tra la linea di massa ed un terminale di sorgente di un rispettivo transistore NMOS 50. In particolare i transistori NMOS 50 presentano terminali di porta collegati al terzo e

quarto ingresso 22d, 22e del blocco temporizzatore 22 e ricevono il primo e rispettivamente il secondo segnale di regolazione temporale VCONF(0), VCONF(1), e terminali di pozzo collegati entrambi allo stadio generatore di
5 impulsi 46.

La regolazione della capacità complessiva C_{LOAD} dello stadio di regolazione temporale 44 viene effettuata attraverso i segnali di regolazione temporale VCONF(0) e VCONF(1), i quali comandano a seconda del
10 loro stato logico, l'accensione o lo spegnimento del rispettivo transistor NMOS 50, determinando in tal modo il collegamento/scollegamento del corrispondente condensatore 48 dal resto dello stadio di regolazione durata 44.

15 Lo stadio di regolazione durata 44 comprende infine una serie di transistori di scarica NMOS 52, ciascuno dei quali è collegato in parallelo ad un rispettivo condensatore 48 e svolge la funzione di "scaricare", a comando, il rispettivo condensatore 48 drenando a massa
20 la carica immagazzinata da quest'ultimo. In particolare, ciascun transistor NMOS 52 presenta terminale di sorgente collegato alla linea di massa 42, terminale di porta collegato al settimo ingresso 22h, e terminale di pozzo collegato al nodo intermedio fra il condensatore
25 48 ed il relativo transistor NMOS 50.

Come già precedentemente detto, il blocco temporizzatore 22 che genera il segnale di temporizzazione $PS(i)$ per la prima operazione di lettura riceve sul settimo ingresso 22h il segnale di scarica DISC, mentre i blocchi temporizzatori 22 successivi 5 ricevono sul settimo ingresso 22h il segnale impulsivo $PS(i-1)$ generato dal blocco temporizzatore 22 precedente.

Lo stadio generatore di impulsi 46 ha la funzione 10 di generare sull'uscita 22a il segnale impulsivo $PS(i)$ con una larghezza temporale $T_{ON}(i)$ tale da comandare una durata $T_F(i)$ predeterminata fissa di una rispettiva operazione che compone la lettura.

Lo stadio generatore di impulsi 46 comprende un 15 transistor NMOS 54 ed un transistor PMOS 56 collegati in serie fra lo stadio di regolazione durata 44 e la linea di alimentazione 40 e definenti un nodo intermedio 58; ed una porta logica 60 interposta tra il nodo intermedio 58 e l'uscita 22a del blocco temporizzatore 20 22.

In particolare, il transistor PMOS 56 è di tipo naturale e presenta terminale di porta collegato al primo ingresso 22b posto alle tensione V_{MIR} , terminale di sorgente collegato alla linea di alimentazione 40, e 25 terminale di pozzo collegato al nodo intermedio 58,

mentre il transistor NMOS 54 presenta terminale di porta collegato al secondo ingresso 22c e ricevente la tensione di riferimento V_{GATE} , terminale di pozzo collegato al nodo intermedio 58 e terminale di sorgente collegato al terminale di pozzo dei transistori 50 dello stadio di regolazione durata 44.

Nella fattispecie, il transistor NMOS 54 è in configurazione cascode ed è dimensionato in modo tale da presentare una larghezza $W2=W1 \cdot K$ ed una lunghezza $L2=L1$, così da poter drenare una corrente pari alla corrente generata dal blocco generatore di corrente 21 moltiplicata per un fattore K , ossia pari a $I_{MIR} \cdot K$.

Il transistor NMOS 54 è atto ad assicurare sul proprio terminale di sorgente una tensione costante, indipendentemente dalle variazioni della tensione di alimentazione V_{CC} . Anche in questo caso infatti, analogamente al transistor NMOS 30 dello stadio di disaccoppiamento 30, il transistor NMOS 54 ha la funzione di "disaccoppiare" tra loro i propri terminali di pozzo e sorgente, mantenendo il potenziale di quest'ultimo "legato" al potenziale del terminale di porta, che, essendo costante, garantisce un valore fisso di potenziale sul terminale di sorgente, anche al variare della tensione di alimentazione V_{CC} . Di conseguenza la tensione presente sul nodo che collega lo

stadio di regolazione durata 44 allo stadio generatore di impulsi 46 rimane costante, indipendentemente dalle variazioni della tensione di alimentazione V_{cc} .

La porta logica 60 è di tipo NOR e presenta un
5 primo terminale di ingresso collegato al nodo intermedio 58, un secondo terminale di ingresso collegato al sesto ingresso 22g e ricevente il segnale di disattivazione RESET, ed un terminale di uscita collegato all'uscita 22a del blocco temporizzatore 22 e sul quale viene
10 fornito il segnale impulsivo PS(i). In particolare il segnale di disattivazione RESET è generato da una porta logica OR (non illustrata) ricevente su un primo ingresso un segnale PWDOWN di controllo dello spegnimento dei circuiti di lettura del dispositivo di
15 memoria avente la funzione di evitare letture spurie del dispositivo di memoria stesso, e su un secondo ingresso il segnale di lettura negato \overline{READ} .

Lo stadio generatore di impulsi 46 comprende, inoltre, un transistor di attivazione NMOS 62, il quale
20 è interposto tra il nodo intermedio 58 e la linea di massa 42, ed ha la funzione di comandare l'inizio della temporizzazione dell'operazione associata al blocco temporizzatore 22. In dettaglio, il transistor NMOS 62 presenta terminale di sorgente collegato alla linea di
25 massa 42, terminale di pozzo collegato al nodo

intermedio 58, e terminale di porta collegato al quinto
ingresso 22f del blocco temporizzatore 22 e ricevente il
segnale di abilitazione SET o il segnale di
temporizzazione PS(i) generato dal blocco temporizzatore
5 22 precedente, a seconda che il blocco di
temporizzazione 22 sia il primo della serie o successivo
al primo.

Lo stadio generatore di impulsi 46 comprende,
infine, uno stadio di pull-up 64 avente la funzione di
10 portare rapidamente la tensione di controllo V_L sul nodo
intermedio 58 ad un valore logico alto prestabilito in
modo tale da ridurre i tempi di commutazione della porta
logica 60 nel passaggio del segnale impulsivo PS(i)
dallo stato logico basso allo stato logico alto. In
15 particolare, lo stadio di pull-up 64 comprende un
invertitore 66 presentante il terminale di ingresso
collegato al nodo intermedio 58; ed una coppia di
transistori PMOS di pull-up 68, 70, il primo dei quali è
interposto tra la linea di alimentazione 40 ed il nodo
20 intermedio 58, mentre il secondo è collegato tra la
linea di alimentazione 40 ed il terminale di sorgente
del transistore NMOS 54. I due transistori PMOS 68, 70
presentano terminali di porta collegati al terminale di
uscita dell'invertitore 66, terminali di sorgente
25 collegati alla linea di alimentazione 40 e terminali di

pozzo collegati al nodo intermedio 58 e, rispettivamente, al terminale di sorgente del transistor NMOS 54.

La larghezza temporale $T_{ON}(i)$ di ciascun segnale impulsivo $PS(i)$ generato dai blocchi temporizzatori 22 per il controllo della durata delle operazioni che compongono la lettura viene fissata regolando, attraverso i segnali di regolazione $VCONF(0)$ e $VCONF(1)$, la capacità di carico $C_{LOAD}(i)$ dello stadio di regolazione durata 44. Nella fattispecie, la durata $T_{ON}(i)$ della larghezza temporale di un segnale impulsivo $PS(i)$ viene regolata secondo la seguente relazione:

$$T_{ON}(i) = \frac{C_{LOAD}(i) * (V_{GATE} - V_{TH}) * K}{I_{MIR}}$$

dove $C_{LOAD}(i)$ è la capacità di carico dello stadio di regolazione durata 44 dell' i -esimo blocco temporizzatore 22; V_{GATE} è la tensione di riferimento costante presente sul terminale di porta del transistor NMOS 50; e V_{TH} è la tensione di soglia del transistor NMOS 54 dell' i -esimo blocco temporizzatore 22.

In uso, l'assegnazione della durata $T_F(i)$ predeterminata fissa a ciascuna operazione temporale e quindi la larghezza temporale dei segnali impulsivi $PS(i)$ può, ad esempio, essere effettuata in fase di

progettazione codificando opportunamente i segnali di regolazione durata in modo tale da avere in uso una capacità di carico C_{LOAD} prestabilita per ciascun blocco temporizzatore 22.

5 In condizioni di non lettura, il dispositivo temporizzatore 20 rimane in attesa, e gli N impulsi $PS(i)$ forniti in uscita dagli N blocchi temporizzatori 22 presentano un livello logico basso. In tale condizione infatti, il segnale di lettura $READ$ è a
10 livello logico basso, il segnale di $RESET$ fornito dalla porta logica OR (non illustrata) è quindi a livello logico alto e di conseguenza il segnale impulsivo $PS(i)$ presente sull'uscita della porta logica NOR presenta un livello logico basso. Inoltre, nella suddetta
15 condizione, il segnale di lettura $READ$, presentando un valore logico basso, mantiene spento il transistor $NMOS$ 37, impedendo quindi il drenaggio della I_{MIR} . Di conseguenza, le correnti (pari a $I_{MIR} * K$) fluenti attraverso gli N stadi di regolazione durata 44 degli N
20 blocchi temporizzatori 22 sono nulle.

La suddetta condizione termina quando, in seguito ad una richiesta di lettura di un dato, i segnali di lettura $READ$ e di abilitazione SET passano dal livello logico basso al livello logico alto, determinando così
25 l'inizio della temporizzazione delle operazioni che

compongono la lettura.

In questa fase, il segnale di lettura negato \overline{READ} si porta ad un livello logico basso, e poiché il segnale PWDOWN è anch'esso ad un livello logico basso, il
5 segnale RESET fornito dalla porta logica OR (non illustrata) si porta ad un livello logico basso.

A questo punto, i segnali di temporizzazione PS(i) generati dagli N blocchi temporizzatori 22 commutano contemporaneamente in uscita dal livello logico basso al
10 livello logico alto. Nella fattispecie nel primo blocco temporizzatore 22, l'accensione del transistor NMOS 62, comandata dal segnale di abilitazione SET, determina lo scaricamento del terminale di pozzo del transistor NMOS 50 e l'abbassamento della tensione di controllo V_L nel
15 nodo intermedio 58, il quale si porta ad un livello logico basso determinando la commutazione del segnale impulsivo PS(0). Contemporaneamente ciascun blocco temporizzatore 22 successivo al primo, ricevendo sul terminale di porta del proprio transistor NMOS 62 di
20 comando, il segnale impulsivo PS(i) presentante un livello logico alto generato dal blocco temporizzatore precedente, porta il rispettivo segnale di impulso PS(i) da un valore logico basso ad un valore logico alto comandando a sua volta l'accensione del transistor NMOS
25 62 presente nel blocco temporizzatore 22 successivo.

In altre parole, ciascun segnale impulsivo $PS(i)$ commutando ad un livello logico alto determina istantaneamente la commutazione del segnale impulsivo $PS(i+1)$ generato dal blocco di temporizzazione
5 successivo.

Il segnale di abilitazione SET si porta istantaneamente ad un livello logico basso e comanda lo spegnimento del transistor NMOS 62. Il transistor NMOS 50 presente nello stadio generatore di impulsi 46 inizia
10 quindi a drenare liberamente una corrente pari a $I_{MIR} \cdot K$, caricando così progressivamente i condensatori 48 presenti sul ramo di regolazione durata 44. La tensione di controllo V_L sul nodo intermedio 58, grazie al costante caricamento dei condensatori 48, aumenta
15 progressivamente fino a raggiungere, nell'istante $T_{ON}(0)$, un valore di soglia tale da far commutare in uscita la porta logica NOR 66. Quindi, il segnale impulsivo $PS(0)$ commuta ad un valore logico basso e comanda il termine della prima operazione, e l'inizio della seconda
20 operazione che compongono la lettura. Infatti, nell'istante in cui il segnale impulsivo $PS(0)$ commuta al livello logico basso il transistor NMOS 62 del secondo blocco temporizzatore 22 si spegne ed ha inizio il drenaggio della corrente $I_{MIR} \cdot K$ sui condensatori 48
25 del ramo di regolazione durata 44, ovvero ha inizio la

temporizzazione (seconda durata) della seconda operazione $T_F(1)$, che termina quando, analogamente al primo blocco di temporizzazione, la tensione di controllo V_L sul nodo intermedio 58 raggiunge la soglia di scatto della porta logica NOR 66, la quale provvede a commutare il rispettivo segnale impulsivo $PS(1)$ ad un valore logico basso, comandando quindi il termine della seconda operazione che compone la lettura e l'inizio della terza operazione. È evidente che le operazioni di temporizzazione effettuate nei blocchi temporizzatori 22 successivi sono identiche a quelle sopra descritte.

È opportuno precisare che quando la tensione di controllo V_L raggiunge un valore prefissato l'invertitore 66 comanda l'accensione dei due transistori PMOS 68,70 di pull-up che provvedono a portare rapidamente la tensione di controllo V_L presente sul nodo intermedio 58 alla soglia di scatto della porta logica NOR velocizzando quindi la commutazione dei segnali impulsivi $PS(i)$ dal livello logico alto al livello logico basso.

In figura 5 è indicato schematicamente un esempio dell'andamento temporale di quattro segnali impulsivi $PS(0)$, $PS(1)$, $PS(2)$ e $PS(3)$ generati da quattro rispettivi blocchi temporizzatori 22 per temporizzare quattro operazioni temporalmente consecutive che

compongono la lettura, in cui il fronte di discesa di ciascun impulso $PS(i)$ determina il termine della rispettiva operazione e l'inizio della operazione successiva. Nella fattispecie, la durata della prima
5 operazione è pari a $T_F(0)=T_{ON}(0)$ mentre la durata delle operazioni successive è pari a:

$$T_F(i) = T_{ON}(i) - T_{ON}(i-1) \quad 1 \leq i \leq 3$$

Da quanto sopra descritto è evidente che la durata $T_{ON}(N)$ dell'impulso generato dall'ultimo blocco
10 temporizzatore 22 ovvero dall'ennesimo blocco sarà pari al tempo di accesso T_A del dispositivo di memoria.

Per una trattazione più dettagliata della struttura circuitale e del funzionamento del dispositivo di temporizzazione 20, ed in particolare del blocco
15 generatore di tensione 21 e dei blocchi temporizzatori 22, si faccia anche riferimento al brevetto statunitense US 6,353,350 depositato il 22.11.2000 a nome della medesima richiedente.

Il presente dispositivo di temporizzazione della
20 lettura di un dispositivo di memoria è estremamente vantaggioso in quanto l'assegnazione a ciascuna operazione di una durata temporale fissa indipendente dalle condizioni di funzionamento del dispositivo di memoria, garantisce il completamento di ciascuna
25 operazione che compone la lettura in qualsiasi

condizione di funzionamento del dispositivo di memoria, determinando quindi un grosso miglioramento del rapporto di reiezione al rumore del dispositivo di memoria stesso.

- 5 Risulta infine chiaro che al dispositivo di temporizzazione della lettura qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito della presente invenzione definito dalle rivendicazioni allegate.

RIVENDICAZIONI

1. Metodo di temporizzazione della lettura asincrona di un dispositivo di memoria avente un proprio tempo di accesso ai dati (T_A); la detta lettura essendo
5 composta da una successione di operazioni temporalmente consecutive tra loro; caratterizzato dal fatto che ciascuna di dette operazioni ha, in qualsiasi condizione di funzionamento di detto dispositivo di memoria, una durata predeterminata fissa ($T_F(i)$) tale da garantire il
10 completamento dell'operazione stessa entro tale durata predeterminata fissa ($T_F(i)$) nella peggiore condizione di funzionamento del detto dispositivo di memoria; la somma delle durate predeterminate fisse ($T_F(i)$) delle dette operazioni essendo pari al detto tempo di accesso
15 ai dati (T_A) del detto dispositivo di memoria.

2. Metodo di temporizzazione secondo la rivendicazione 1, caratterizzato dal fatto che ciascuna di dette operazioni che compone la detta lettura viene iniziata immediatamente al termine dell'operazione
20 precedente.

3. Metodo di temporizzazione secondo le rivendicazioni 1 o 2, caratterizzato dal fatto che la durata predeterminata fissa ($T_F(i)$) viene assegnata alla relativa operazione in una fase di progettazione del
25 detto dispositivo di memoria.

4. Metodo di temporizzazione secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che ciascuna di dette operazioni ha una durata predeterminata fissa ($T_F(i)$) indipendente dalle
5 variazioni di temperatura del detto dispositivo di memoria.

5. Metodo di temporizzazione secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che ciascuna di dette operazioni ha una durata
10 predeterminata fissa ($T_F(i)$) indipendente dalle variazioni della tensione di alimentazione (V_{CC}) del detto dispositivo di memoria.

6. Dispositivo di temporizzazione (20) della lettura asincrona di un dispositivo di memoria avente un
15 proprio tempo di accesso (T_A) ai dati; la detta lettura essendo composta da una successione di operazioni temporalmente consecutive tra loro; il detto dispositivo di temporizzazione (20) essendo caratterizzato dal fatto di comprendere mezzi generatori di segnale (20) atti a
20 generare, per ciascuna detta operazione, un relativo segnale di temporizzazione ($PS(i)$) tale da far durare, in qualsiasi condizione di funzionamento del detto dispositivo di memoria, la relativa operazione per un tempo predeterminato fisso ($T_F(i)$), tale da garantire il
25 completamento di detta operazione nella peggiore

condizione di funzionamento del detto dispositivo di memoria; la somma delle durate temporali delle dette operazioni essendo pari al detto tempo di accesso (T_A) ai dati del detto dispositivo di memoria.

5 7. Dispositivo di temporizzazione secondo la rivendicazione 6, caratterizzato dal fatto che i detti mezzi generatori di segnale (20) comprendono una pluralità di blocchi temporizzatori (22), ciascuno dei quali genera un segnale di temporizzazione ($PS(i)$), il
10 quale è atto a comandare il termine della rispettiva operazione, ed è fornito in ingresso ad un blocco temporizzatore (22) associato ad una operazione successiva, per comandare l'inizio di quest'ultima.

8. Dispositivo di temporizzazione secondo la
15 rivendicazione 7, caratterizzato dal fatto che ciascun blocco temporizzatore (22) comprende almeno un ingresso (22b) ricevente una corrente costante (I_{MIR}), ed indipendente dalle variazioni della temperatura e della tensione di alimentazione (V_{CC}) del detto dispositivo di
20 memoria, ed almeno una uscita (22a) fornente il detto segnale di temporizzazione ($PS(i)$).

9. Dispositivo di temporizzazione secondo la rivendicazione 8, caratterizzato dal fatto che detti mezzi generatori di segnale (20) comprendono inoltre
25 almeno un blocco generatore di tensione (21) presentante

una uscita (21a) collegata al detto ingresso (22b) dei detti blocchi temporizzatori (22) per fornire ai blocchi temporizzatori (22) la detta corrente (I_{MIR}) costante.

10. Dispositivo di temporizzazione secondo la
5 rivendicazione 9, caratterizzato dal fatto che il detto blocco generatore di tensione (21) comprende almeno un transistor NMOS (30) di tipo cascode, ed un resistore (38) realizzato con una tecnologia n-well.

11. Dispositivo di temporizzazione secondo la
10 rivendicazione 10, caratterizzato dal fatto che il detto blocco generatore di tensione (21) comprende una linea di alimentazione (24) posta ad una tensione di alimentazione (V_{CC}), una linea di massa (26) posta ad una tensione di massa (V_{GND}); almeno un transistor PMOS
15 (34) collegato alla detta uscita (21a) e alla detta linea di alimentazione (24); il detto resistore (38) essendo collegato alla detta linea di massa (26), ed il detto transistor NMOS (30) essendo interposto tra il detto transistor PMOS (34) ed il detto resistore (38).

20 12. Dispositivo di temporizzazione secondo la rivendicazione 10, caratterizzato dal fatto che il detto transistor NMOS (30) presenta il terminale di porta posto ad una tensione (V_{GATE}) costante, terminale di sorgente collegato al detto resistore (38) e terminale
25 di pozzo collegato al terminale di pozzo del detto

transistore PMOS (21).

13. Dispositivo di temporizzazione secondo le rivendicazioni da 6 a 12, caratterizzato dal fatto che ciascun blocco temporizzatore (22) comprende una linea
5 di alimentazione (40) posta alla tensione di alimentazione (V_{CC}), una linea di massa (42) posta ad una tensione di massa (V_{GND}), uno stadio generatore di segnale (46) atto a generare un detto segnale di temporizzazione ($PS(i)$) presentante una larghezza
10 temporale ($T_{ON}(i)$) fissa correlata al tempo predeterminato fisso ($T_F(i)$) di una rispettiva operazione, ed un ramo di regolazione durata (44) atto a regolare la detta larghezza temporale ($T_{ON}(i)$) del detto segnale di temporizzazione ($PS(i)$), e collegato in serie
15 al detto stadio generatore di segnale (46) tra dette linee di alimentazione (40) e di massa (42).

14. Dispositivo di temporizzazione secondo la rivendicazione 13, caratterizzato dal fatto che il detto stadio generatore di segnale (46) e detto ramo
20 regolatore di durata (44) sono collegati al detto ingresso (22b) a corrente costante, in modo tale da definire, con il blocco generatore di tensione (21) uno specchio di corrente.

15. Dispositivo di temporizzazione secondo la
25 rivendicazione 14, caratterizzato dal fatto che il detto

stadio generatore di segnale (46) comprende almeno un transistor NMOS di tipo cascode (54).

16. Dispositivo di temporizzazione secondo una qualsiasi delle rivendicazioni da 13 a 15, 5 caratterizzato dal fatto che il detto ramo di regolazione durata (44) comprende una pluralità di condensatori (48) collegati tra loro in parallelo, e mezzi selettori (50) atti a collegare selettivamente ciascun detto condensatore (48) al detto ramo regolatore 10 di durata (44).

17. Dispositivo di temporizzazione secondo la rivendicazione 16, caratterizzato dal fatto che il detto stadio generatore di segnale (46) comprende almeno un transistor PMOS (56) collegato alla detta linea di 15 alimentazione (40) ed almeno un transistor NMOS (62) collegati al detto transistor NMOS (54) in corrispondenza di un nodo intermedio (58), ed almeno una porta logica (66) interposta tra il nodo intermedio (58) e la detta uscita (22a).

RIASSUNTO

Viene descritto un dispositivo di temporizzazione (20) della lettura asincrona di un dispositivo di memoria avente un proprio tempo di accesso (T_A) ai dati, in cui
5 la lettura è effettuata attraverso una successione di operazioni temporalmente consecutive tra loro; il dispositivo di temporizzazione (20) essendo atto a generare, per ciascuna operazione, un relativo segnale di temporizzazione ($PS(i)$) tale da far durare, in
10 qualsiasi condizione di funzionamento del dispositivo di memoria, la relativa operazione per un tempo pari a una rispettiva durata temporale fissa ($T_F(i)$), determinata in modo tale da garantire il completamento dell'operazione stessa nella peggiore condizione di
15 funzionamento del dispositivo di memoria entro la durata temporale fissa ($T_F(i)$); la somma delle durate temporali fisse ($T_F(i)$) essendo pari al tempo di accesso (T_A) ai dati del dispositivo di memoria.

Figura 4

THIS PAGE BLANK (USPTO)

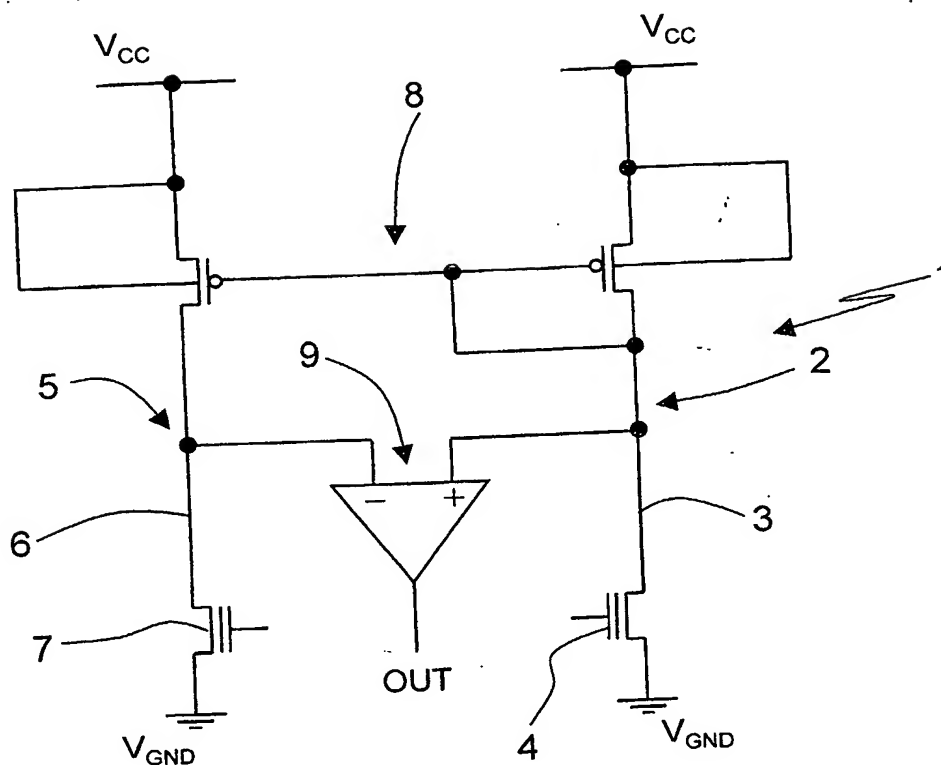


Fig. 1

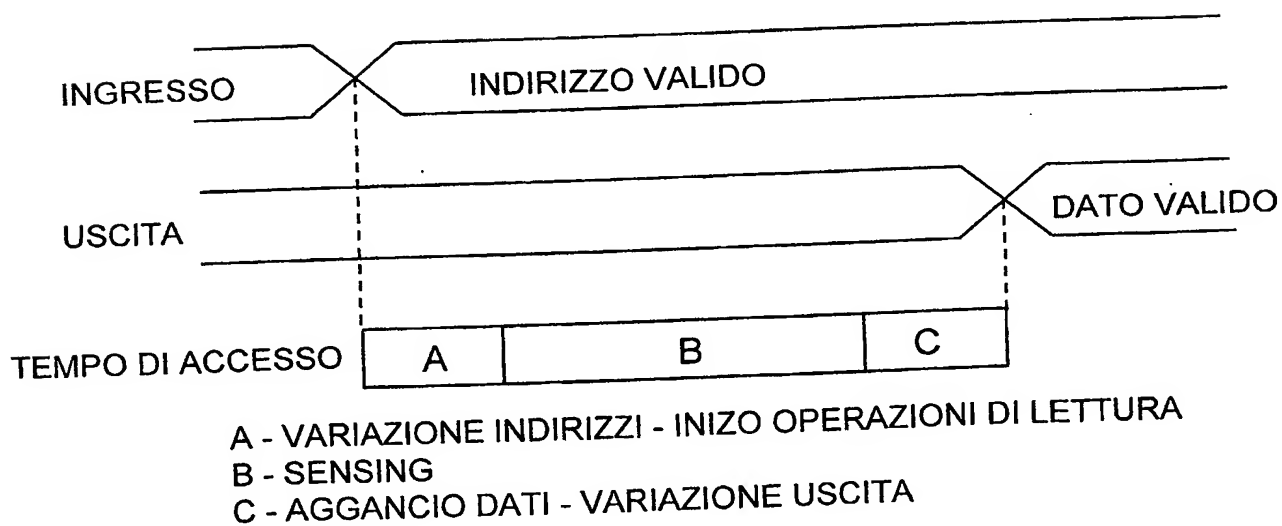


Fig. 2

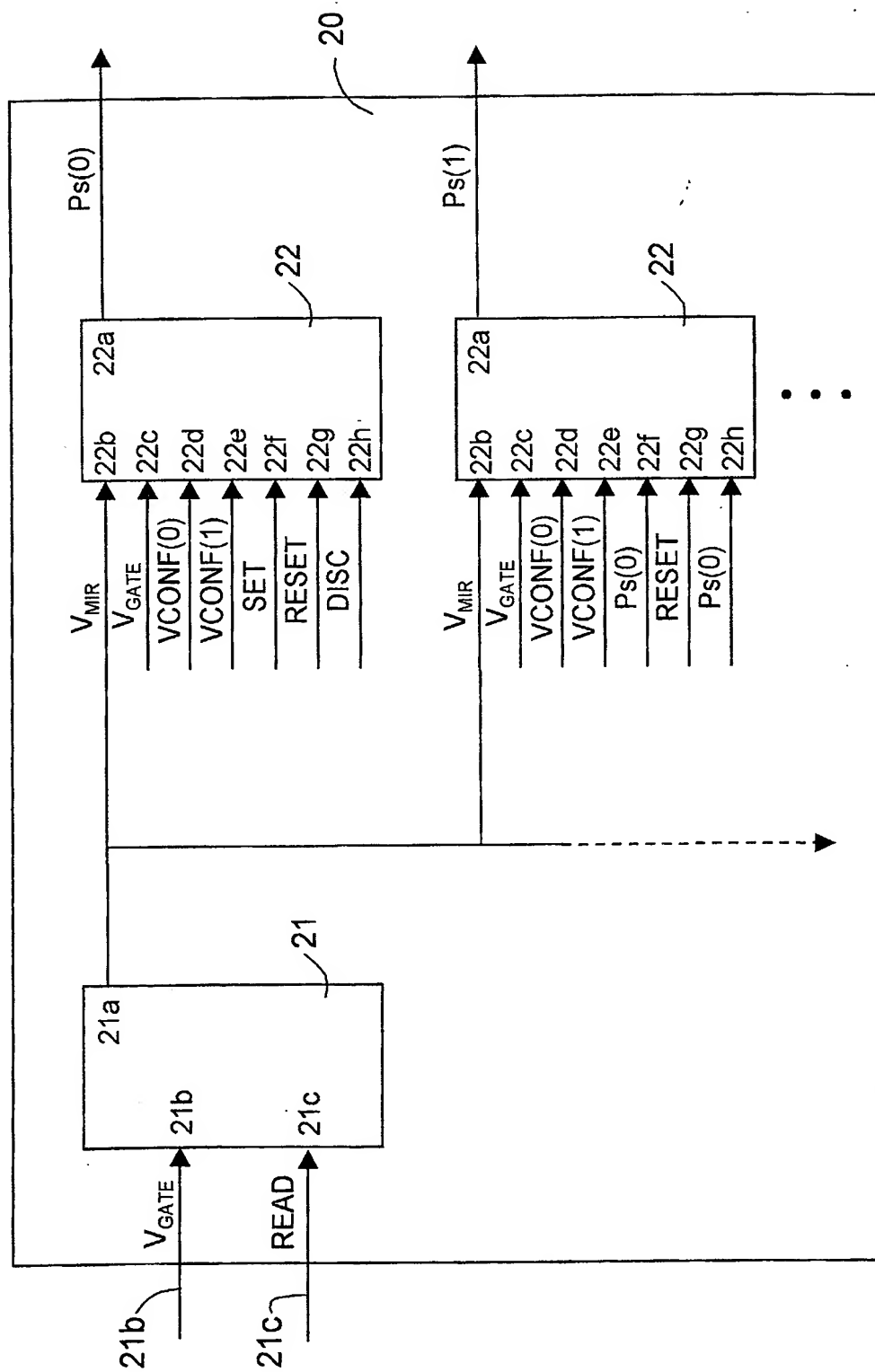


Fig. 3

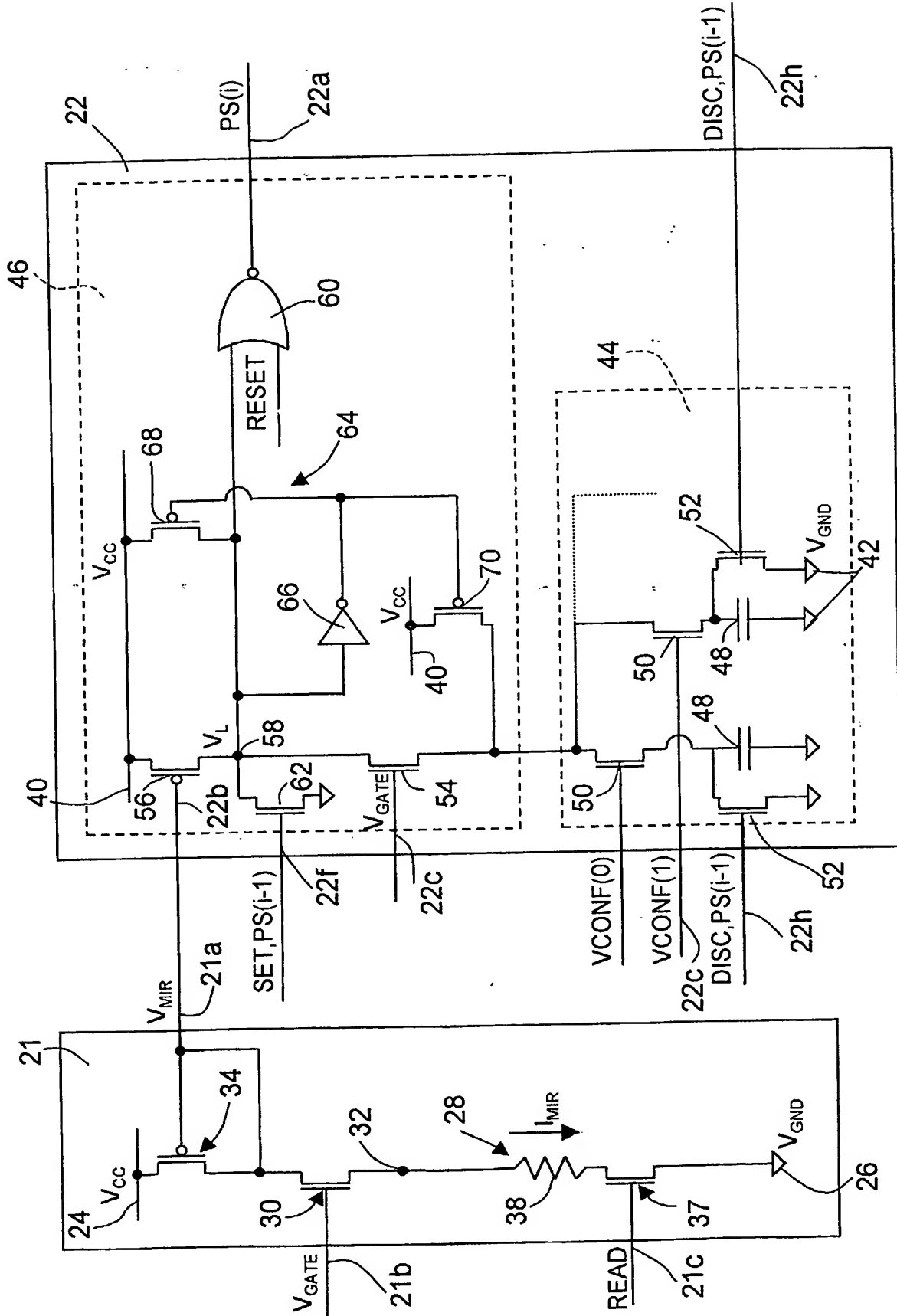


Fig. 4

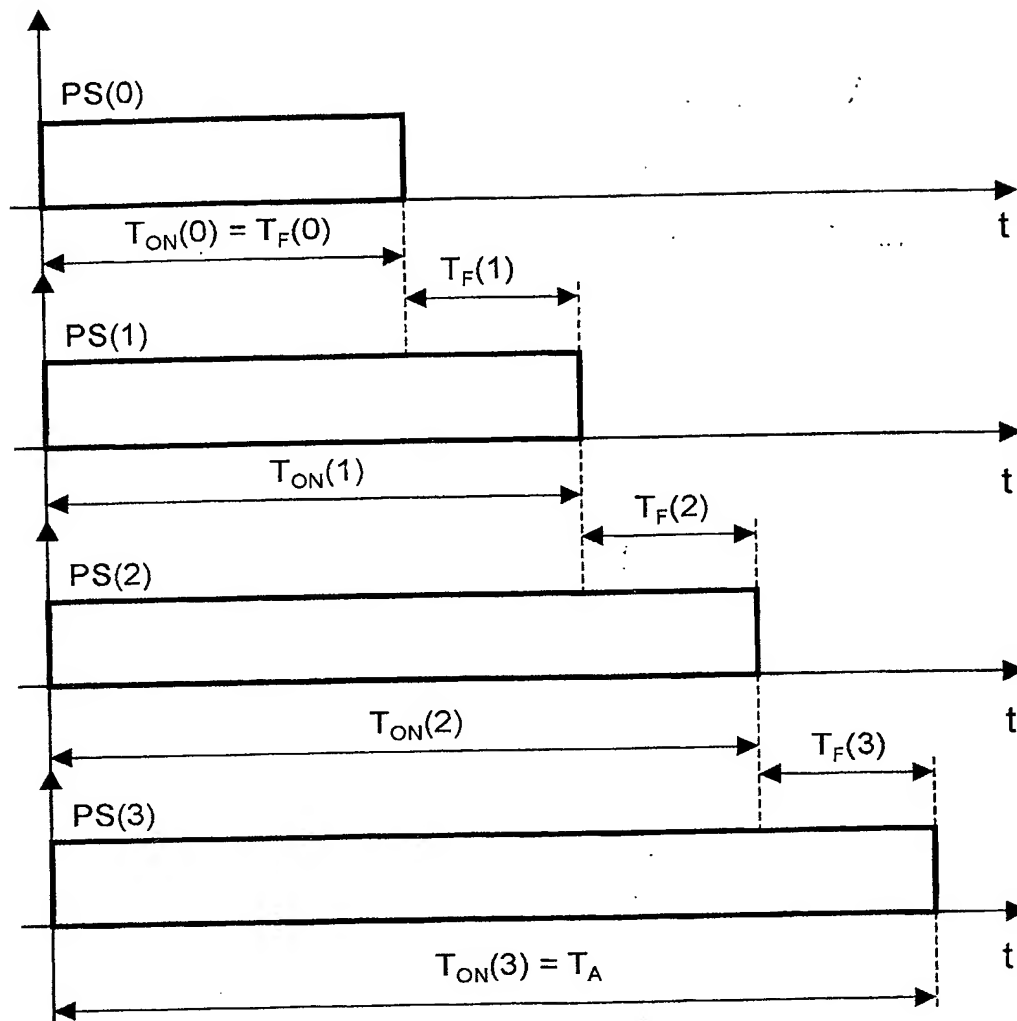


Fig. 5